

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
18. Juli 2002 (18.07.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/056184 A1

- (51) Internationale Patentklassifikation⁷: **G06F 12/14**,
12/08 **KÜNEMUND, Thomas** [DE/DE]; Lindwurmstr. 129 c,
80337 München (DE).
- (21) Internationales Aktenzeichen: **PCT/DE01/04821** (74) **Anwalt: EPPING, HERMANN & FISCHER**; Ridlerstr.
55, 80339 München (DE).
- (22) Internationales Anmeldedatum:
20. Dezember 2001 (20.12.2001) (81) **Bestimmungsstaaten (national)**: BR, CA, CN, IL, IN, JP,
KR, MX, RU, UA, US.
- (25) Einreichungssprache: Deutsch (84) **Bestimmungsstaaten (regional)**: europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE, TR).
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
101 01 552.6 15. Januar 2001 (15.01.2001) DE **Veröffentlicht:**
— mit internationalem Recherchenbericht
— vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eintreffen
- (71) **Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).
- (72) **Erfinder; und**
- (75) **Erfinder/Anmelder (nur für US): GAMMEL, Berndt**
[DE/DE]; Ludwig-Dill-Weg 3, 81737 München (DE).
- Zur Erklärung der Zweibuchstaben-Codes und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.

(54) Title: CACHE MEMORY AND ADDRESSING METHOD

(54) Bezeichnung: CACHE-SPEICHER UND VERFAHREN ZUR ADRESSIERUNG

p-n-b bit	n bit	b bit
tag	index	offset

(57) **Abstract:** The invention relates to a cache memory whose addresses are divided into a tag, index and offset. Means are provided as hardware for carrying out a reversible univocal transformation between the respective tag part of the address and an encoded tag address. The index field of the address of the cache memory can also be encoded by means of another reversibly univocal mapping which maps the index field onto an encoded index field. A corresponding hardware unit is also provided therefor.

(57) **Zusammenfassung:** Bei dem Cache-Speicher, dessen Adressen in Tag, Index und Offset aufgeteilt sind, sind als Hardware Mittel vorhanden, die eine umkehrbar eindeutige Transformation zwischen dem jeweiligen Tag-Teil der Adresse und einer verschlüsselten Tag-Adresse vornehmen. Es kann zusätzlich das Index-Feld der Adressen des Cache-Speichers durch eine weitere umkehrbar eindeutige Abbildung, die das Index-Feld auf ein verschlüsseltes Index-Feld abbildet, verschlüsselt werden. Auch dazu wird eine entsprechend vorzusehende Hardware-Einheit verwendet.

WO 02/056184 A1